

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

- (19) JAPANESE PATENT OFFICE
- (12) Publication of laid-open patent application(A)
- (11) Publication number: 4-325964
- (43) Date of publication of application: 16.11.1992
- (51) Int. Cl.: G11B 20/02
- (21) Application number: 3-300648
- (22) Date of filing: 15.11.1991
- (31) Application number of the priority: 91-6341
- (32) Priority date: 19.04.1991
- (33) REPUBLIC OF KOREA
- (71) Applicant: SAMSUNG ELECTRONICS CO. LTD./KYUNGKI-DO
(REPUBLIC OF KOREA)
- (72) Inventor: DO-SANG MOK
- (54) Copy guard system of a software program used in VTR
- (57) Abstract:

A copy guard system is provided for protecting software in a video tape recording (VTR) system. The copy guard system includes a positive edge detection circuit, a negative edge detection circuit, a counter for generating a fixed duration pulse signal, a gate pulse generating circuit, a clamp circuit, and a level detector. A pulse detection generating circuit is coupled to the level detector for transmitting a rectangular waveform to a signal killer pulse generating circuit, which generates a killer pulse in order to control a signal only during the period of having an image signal in one field.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-325964

(43) 公開日 平成4年(1992)11月16日

(51) IntCl⁵

G 1 1 B 20/02

識別記号

庁内整理番号

F I

技術表示箇所

L 8425-5D

審査請求 有 請求項の数 1 (全 7 頁)

(21) 出願番号 特願平3-300848

(22) 出願日 平成3年(1991)11月15日

(31) 優先権主張番号 91-6341

(32) 優先日 1991年4月19日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市勸善区梅灘洞416番地

(72) 発明者 陸 道 相

大韓民国ソウル特別市永登浦区堂山4街92

現代アパート2次 701号

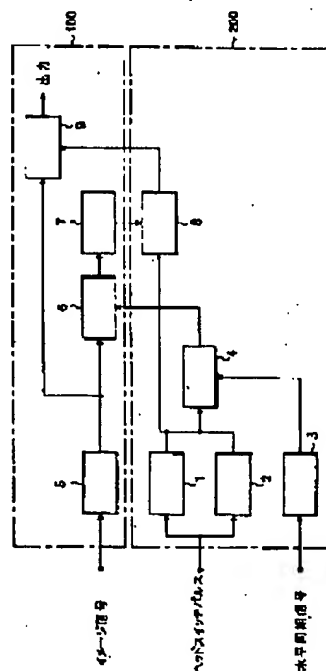
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 VTR用ソフトウェアの複写防止システム

(57) 【要約】

【目的】 VTRの映像信号処理分野において、VTR用ソフトウェアを無断複製に対してVTR用ソフトウェアを保護する複写防止システム。

【構成】 VTRセット上に複写防止信号の有無を判断する回路を設け、デジタル信号処理技術とアナログ信号処理技術を共に利用してIC化した後、VTRの記録ループのどこでも適用可能であり、VTR用ソフトウェアの無断複製を防止することができる複写防止用システム。



【特許請求の範囲】

【請求項1】 入力されたVTRヘッドスイッチパルスによりポジティブエッジを検出するポジティブエッジ検波ブロック(1)と；入力されたVTRヘッドスイッチパルスによりネガティブエッジを検出するネガティブエッジ検波ブロック(2)と；上記ポジティブエッジ時と上記ネガティブエッジ時から夫々20Hカウントするカウンタブロック(3)と；上記ポジティブエッジ検波ブロック及び上記ネガティブエッジ検波ブロックから出力される信号を受信するとともに、上記カウンタブロックから出力される信号を受信して、上記カウンタブロックでカウントされる時間の間にパルスを発生させるゲートパルスゼネレータブロック(4)と；入力された映像信号によりクランピングするクランプブロック(5)と；上記クランプブロックから出力される信号及び上記ゲートパルスゼネレータブロックから出力される信号を受信して複写防止信号の有無によって夫々のレベルを検出するレベル検波ブロック(6)と；上記レベル検波ブロックから出力される信号を受信し、検波された波形を完全な矩形波に作ってシグナルキラーパルスゼネレータブロックへ出力する検波パルスゼネレータブロック(7)と；上記検波パルスゼネレータブロックから出力された信号を受信するとともに、上記ポジティブエッジ検波ブロックとネガティブエッジ検波ブロックから出力される信号を受信して1フィールドで映像信号が入っている期間に信号を制御することができるようパルスを発生させるシグナルキラーパルスゼネレータブロック(8)と；上記クランプブロックから出力される信号を受信するとともに、上記シグナルパルスゼネレータブロックから出力される信号を受信して映像信号の出力可否を制御するシグナルキラーブロック(9)とからなることを特徴とするヘッドスイッチパルスと水平同期信号を利用した複写防止システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はVTRの映像信号処理分野において、VTR用ソフトウェアを無断複製しようとするとき、VTRセット上に複写防止信号の有無を判断する回路を構成することにより、複写防止用信号が入っているVTR用ソフトウェアを保護する複写防止システムに関する。

【0002】

【従来の技術】 一般的によく知られているVTRの映像信号の記録システムにおいては、入力された複合映像信号が低域通過フィルタ(Low Pass Filter)を通過すると、上記の複合映像信号の中から輝度信号のみが選択され、色信号が除去されるようになる。

【0003】 上記の低域通過フィルタを通過した後、入力ビデオ信号の振幅の変化がある場合、自動利得調整回路(Auto Gain Control: AGC)が

動作して一定の振幅で制御する。

【0004】 また、VHS VTRにおいては、上記AGCに尖頭値型(Peak-type) AGCとキード(Keyed) AGCを併用して規定以上の大きさの振幅を有する信号が入って来ると、尖頭値型AGCが動作して振幅を規定の大きさに制御し、規定以下の大きさであるときは、キードAGCが動作して同期信号の大きさを規定の大きさになるよう制御してAGC出力である輝度信号の変化に関係なく同期信号の大きさが規定値になる。

【0005】 尖頭値型AGCのみを有する自動利得調整回路では、画面が暗く輝度信号が小さくなり、画面の全体大きさを一定に維持するためには、同期信号の大きさが規定値より大きくなる欠点を有している。

【0006】 また、上記尖頭値型AGCはテレビジョン電波の同期信号尖頭値が映像の明暗に関係なく一定の大きさで送って来るのを利用して、上記の尖頭値からAGC電圧を得る方法をいい、これは画面の明暗とは関係のない同期信号尖頭値を基準とし、AGC出力が大きいため、大きな雑音パルスが入ったときには、雑音パルスの電圧キャパシタンスに充電され、抵抗による放電時間が長くなることにより、大きなAGC出力がいくらか持続されて同期を不安定にしたり、コントラストを低める等の欠点がある。

【0007】 上記の欠点を除去したのがキードAGCと呼ばれる方式である。

【0008】 上記キードAGCは上記テレビジョン受像機に用いられるAGC回路の一つとして同期信号と同じであったり、それ以上の大きさの振幅を有する雑音電波が入って来た場合、AGC動作に乱調がないよう水平同期信号が入る期間のみ選択動作するAGC方式である。また、上記キードAGCはパルス性雑音のために生じる乱調がなく、画面の明暗に関係なく安定されるため、尖頭値型AGCより広く用いられる。

【0009】 また、上記のAGC方式において、従来には複写防止機能を有するVTRを作るためにアナログ部であるAGC検波ブロックで時定数値を大きくすることにより、複写防止信号がある場合、検出された信号レベルが長く持続されるようにしたり、放電時間が長くなるようにした。

【0010】 また、上記AGC方式は、上記AGC検波ブロックから検出されたレベルによって利得特性が変化しているため、検出されたレベルが大きい場合、即ち複写防止信号がある場合、AGCから出力される信号を非常に小さくして複写がよくできないよう記録ループの信号を極めて小さく作る構造になっていたが、上記AGC方式においても時定数が変わることにより、AGC本来の特性が悪くなる欠点があった。

【0011】

【発明の目的】 従って、本発明は上記の問題点を解決す

るために案出したもので、デジタル信号処理技術とアナログ信号処理技術を共に利用してIC化した後、VTRの記録ループのいずれの所でも適用可能にし、VTR用ソフトウェアの無断複製を防止することができる複写防止システムを提供するためのものである。

【0012】

【課題を解決するための手段】上記のような目的を達成するために、本発明は入力されたVTRヘッドスイッチパルスによりポジティブエッジを検出するポジティブエッジ検波ブロック1と；入力されたVTRヘッドスイッチパルスによりネガティブエッジを検出するネガティブエッジ検波ブロック2と；上記ポジティブエッジ時と上記ネガティブエッジ時から夫々20H（1H≒63.5μsec）カウントするカウンタブロック3と；上記ポジティブエッジ検波ブロック及び上記ネガティブエッジ検波ブロックから出力される信号を受信するとともに、上記カウンタブロックから出力される信号を受信して、上記カウンタブロックからカウントされる時間の間にパルスを発生させるゲートパルスゼネレータブロック4と；入力された映像信号によりクランピングするクランプブロック5と；上記クランプブロックから出力される信号及び上記ゲートパルスゼネレータブロックから出力される信号を受信して複写防止信号の有無によって各々のレベルを検出するレベル検波ブロック6と；上記レベル検波ブロックから出力される信号を受信して検波された波形を完全な矩形波に作ってシグナルキラーパルスゼネレータブロックへ出力する検波パルスゼネレータブロック7と；上記検波パルスゼネレータブロックから出力される信号を受信するとともに、上記ポジティブエッジ検波ブロックとネガティブエッジ検波ブロックから出力される信号を受信して1フィールドで映像信号が入っている期間に信号を制御することができるよう添付された第6図hのようなパルスを発生させるシグナルキラーパルスゼネレータブロック8と；上記クランプブロックから出力される信号を受信するとともに、上記シグナルパルスゼネレータブロックから出力される信号を受信して映像信号の出力可否を制御するシグナルキラーブロック9とからなることを特徴とする。

【0013】以下、上記の通り構成された本発明の複写防止システムの動作及び作用効果を添付された図面を参照して詳細に説明する。

【0014】図1（A）は1フィールド内で複写防止信号が位置したところを示す図である。同図に示すように、“A”は等化パルスの前期間、“B”は垂直同期パルスの期間、“C”は等化パルスの後期間、“D”はビデオ信号の中で1フィールド内で複写防止信号が位置したところ、“E”は垂直帰線の期間、“G”はフィールドのスタート点、“G’”は次のフィールドのスタート点、“H”は水平走査期間を示す。同図（B）は一般に利用されている一つの複写防止信号の構成を示す。

【0015】上記の図1（A）、（B）において、垂直同期パルス信号の期間中に水平同期信号が挿入されているが、これは垂直同期信号期間中にも水平同期が乱されないようにするためのものであり、垂直同期信号の前後には等化パルスが挿入されている。

【0016】上記等化パルス（A）、（B）の幅は0.04Hで水平同期信号幅の半分になっており、周期は0.5Hで水平走査期間の半分である。

【0017】等化パルスは飛越走査をするに効果があり、長い垂直帰線消去期間中、水平同期信号と同じ役割をし、水平同期を安定にしてくれる。また、同図に示すように、複写防止信号はフィールド始め13Hから3H乃至7H期間の間、図1の（B）のような信号が3個乃至7個入っており、上記のような信号があると複写防止用信号で判断して複写されないよう本発明のシステムは動作する。

【0018】図2は複写防止システムのブロック図である。同図で、ヘッドスイッチパルスが入力されてポジティブエッジ検波ブロック1でポジティブエッジ検波を行い、ネガティブエッジ検波ブロック2でネガティブエッジ検波を行って夫々ポジティブエッジ及びネガティブエッジを検出し、水平同期信号パルスはカウンタブロック3へ入力されて各ヘッドスイッチパルスのポジティブエッジとネガティブエッジから夫々20H（1H≒63.5μsec）期間をカウントするようになり、ゲートパルスゼネレータブロック4からゲートパルスが発生するようになる。

【0019】また、レベル検波ブロック6では、上記クランプブロック5から出力される信号及び上記ゲートパルスゼネレータブロック4から出力される信号を受信して複写防止信号の有無によって夫々のレベルを検出し、検波パルスゼネレータブロック7では、上記レベル検波ブロック6から出力される信号を受信して検波された波形を完全な矩形波に作ってシグナルキラーパルスゼネレータブロック8へ出力する。

【0020】また、シグナルキラーパルスゼネレータブロック8では、上記検波パルスゼネレータブロックから出力された信号を受信するとともに、上記ポジティブエッジ検波ブロック1とネガティブエッジ検波ブロック2から出力される信号を受信してフィールドで映像信号が入っている期間に信号を制御するよう図6hに示したようなパルスを発生させる。

【0021】また、シグナルキラーブロック9では、上記クランプブロック5から出力される信号を受信するとともに、上記シグナルキラーパルスゼネレータブロック8から出力される信号を受信して映像信号の出力可否を制御する。

【0022】図3は図2に示すデジタル信号処理部200の回路図（A）及び波形図（B）である。同図で、“a”はヘッドスイッチパルス、“b”は水平同期信号

パルス、“c”はポジティブエッジ検波パルス、“d”はネガティブエッジ検波パルス、“e”はゲートパルスであり、発生されたゲートパルス(c)の反転波形が図3(B)に“f”で表示されており、上記のパルスが図2に示すレベル検波ブロック(6;図4に示すように反転されたゲートパルスの入力)へ入力され、複写防止信号が位置している垂直帰線期間(20H)のみ回路が動作する。

【0023】図4はレベル検波ブロック6の回路図である。同図で、図3で出力されたゲートパルス出力(f)が上記レベル検波ブロック6へ入力されると、図3(B)で表示された“a”パルス始めと終りで20H期間のみ回路が動作し、この場合、複写防止信号があると、上記複写信号がトランジスタ(QA₁)のベース電圧より大きい信号であるときトランジスタ(QA₂)が作動し、その作動によりトランジスタ(QA₃)がONになり、従ってトランジスタ(QA₂)がONになって流れる電流がキャパシタ(CA₁)に充電されるようになっている。

【0024】このとき、充電された電流の波形は積分された波形で現われ、トランジスタ(QA₂)とトランジスタ(QA₃)は複写防止信号が入っている期間、即ち各フィールド始めから20H期間の間にOFFになり、残り期間には飽和(Saturation)される。

【0025】図5は検波パルスゼネレータブロック7の回路図である。もし、複写防止信号があり、図4に示すようにレベル検波出力信号波形があると、静電圧バイアス回路により出力波形が図5(C)に示すように完全な矩形波に作られる。

【0026】図6(A)、“(B)”を参照すれば、検波パルスゼネレータブロック7から受信された検波パルスシグナルはインバータ(g)を通じて反転されてRSフリップフロップのクロック端子へ入力され、“c”及び“d”信号はNANDゲートを介して上記RSフリップフロップのリセット端子へ入力され、“Q”端子を通じて上記“g”信号のネガティブエッジ時にキラーシグナルを出力する。

【0027】図7は、図2に示すシグナルキラーブロック9の回路図である。同図に示すように、トランジスタ(QC₁)及びトランジスタ(QC₂)のコレクタ端子は各々電圧源に接続されており、上記トランジスタ(QC₁)のベース端子は直流電流源を介して接続されているとともに、上記トランジスタ(QC₂)のベース端子と接続されている。また、クランピング出力信号は上記トランジスタ(QC₁)のベース端子を通じて入力される。トランジスタ(QC₂)のコレクタ端子は抵抗(RC₂)を介して上記トランジスタ(QC₁)のエミッタ端子と接続されているとともに、トランジスタ(QC₂)のベース端子と接続されている。

【0028】キラー信号が抵抗(RC₂)を通じて上記ト

ランジスタ(QC₂)のベース端子へ入力されるようになっていることにより、映像信号の出力可否はキラー信号の入力により決定される。

【0029】従って、最終複写防止信号があると、信号キラーブロックで映像信号を殺すことにより映像信号の出力は発生されなく、一定のDCレベル値だけあるようになる。

【0030】

【効果】上述したように、本発明はVTRセット内部に簡単に適用が可能であり、AGC機能は固有の特性を維持しながら新たな複写防止システムを採用することにより、複写防止信号がある場合、正確に録画される信号を正常的に流れないようにすることにより、ソフトウェアの複写を防止することができる効果がある。

【図面の簡単な説明】

【図1】(A)は1フィールド内で複写防止信号が位置するところを示す図。

(B)は複写防止信号の波形図を示す図。

【図2】複写防止システムのブロック図。

【図3】図2に示すデジタル信号処理部の回路図及び波形図。

【図4】(A)は図2に示すレベル検波ブロックの回路図。

(B)はレベル検波ブロック出力波形図及び基準電圧(V_{ref})の関係を示す入力波形図。

【図5】(A)は図2に示す検波パルスゼネレータの回路図。

(B)は検波パルスゼネレータの出力波形図。

【図6】シグナルキラーパルスゼネレータ入出力波形図。

【図7】シグナルキラーブロック回路図である。

【符号の説明】

A 等化パルスの前期間

B 垂直同期パルスの期間

C 等化パルスの後期間

D 複写防止信号が入っているところ

E 20H垂直帰線期間

F 525H/2, 1フィールド

G フィールド1始め

G' フィールド2始め

D1 水平同期信号(4.7μsec)

D2 ピークレベル(3.7μsec(×5))

D3 擬似同期フロントボーチ(1.8μsec(×4))

D4 9.4μsec

D5 擬似同期信号(2μsec(×5))

1 ポジティブエッジ検波ブロック

2 ネガティブエッジ検波ブロック

3 カウンタ(20H)ブロック

4 ゲートパルスゼネレータブロック

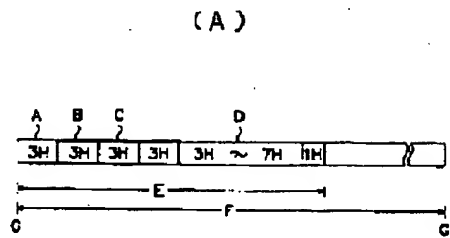
(5)

特開平4-325964

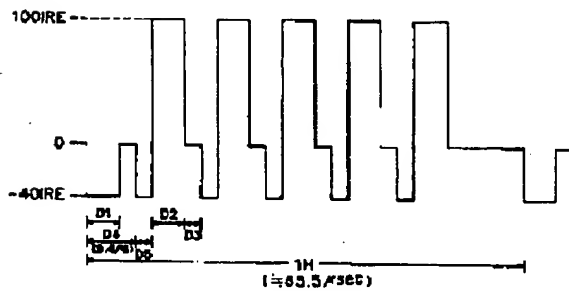
- 5 クランプブロック
 6 レベル検波ブロック
 7 検波パルスゼネレータブロック
 8 シグナルキラーパルスゼネレータブロック
 9 シグナルキラーブロック
 100 アナログ信号処理部
 200 デジタル信号処理部
 a ヘッドスイッチパルス

- b 水平同期信号パルス
 c ポジティブエッジ検波パルス
 d ネガティブエッジ検波パルス
 e ゲートパルス
 f 反転されたゲートパルス
 g 検波パルス
 h キラーシグナル

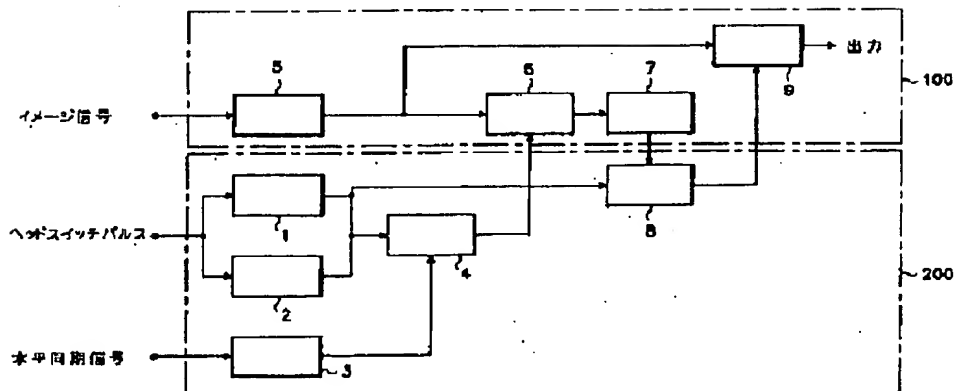
【図1】



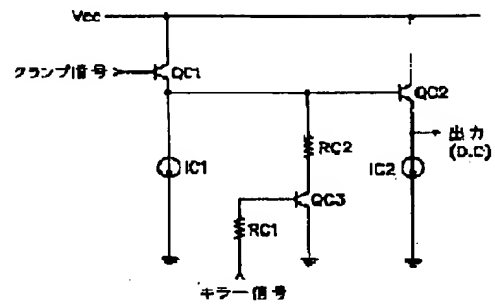
(B)



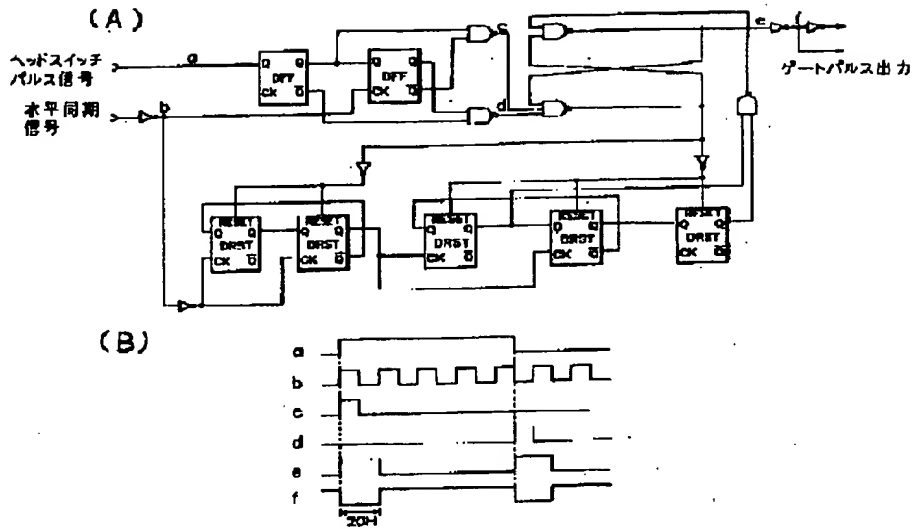
【図2】



【図7】

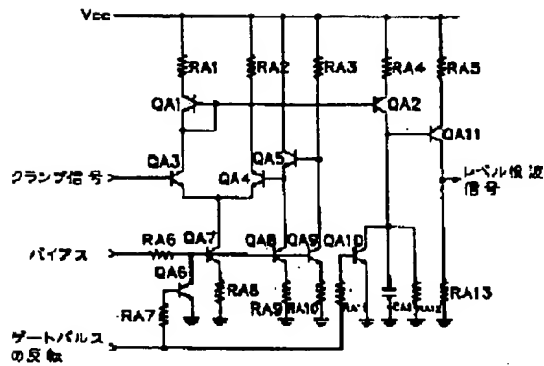


【図3】

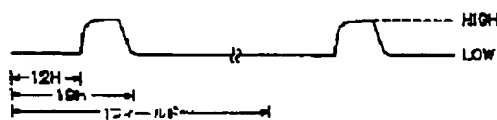


【図4】

(A)

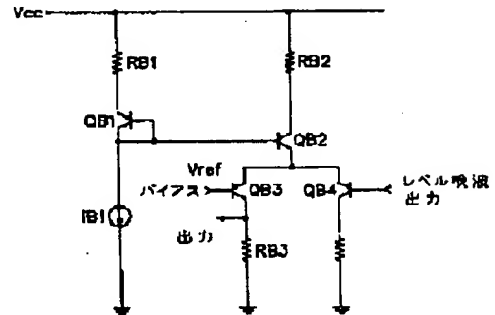


(B)

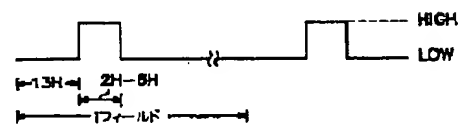


【図5】

(A)



(B)

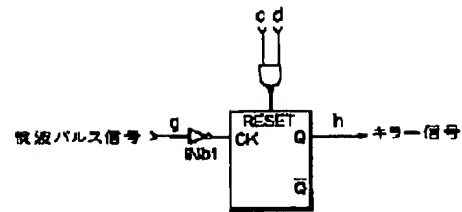


(7)

特開平4-325964

【図6】

(A)



(B)

